

EDA 技术基础-题库

[2] 题型.填空题

[2] 题干.EDA 技术伴随着计算机、集成电路、电子系统设计的发展,经历了 CAD、() 和 EDA 三个发现阶段

[2] 难易度.易

[2] 选项数.1

[2] A.CAE

[5] 题型.判断题

[5] 题干.可编程逻辑器件 (简称 PLD)是一种由用户编程以实现某种逻辑功能的新型逻辑器件。

[5] 正确答案.A

[5] 难易度.易

[5] 选项数.2

[5] A.正确

[5] B.错误

[7] 题型.判断题

[7] 题干.Quartus II 可以直接调用第三方工具来实现综合和仿真。

[7] 正确答案.A

[7] 难易度.易

[7] 选项数.2

[7] A.正确

[7] B.错误

[8] 题型.判断题

[8] 题干.在 Quartus II 工具软件中, 完成编译网表提取、数据库建立、逻辑综合、逻辑分割、适配、延时网表提取和编程文件汇编等操作, 并检查设计文件是否正确的过程称为编译

[8] 正确答案.A

[8] 难易度.易

[8] 选项数.2

[8] A.正确

[8] B.错误

[9] 题型.单选题

[9] 题干.下列 EDA 软件中, 哪一个不具有逻辑综合功能:

[9] 正确答案.B

[9] 难易度.中

[9] 选项数.4

[9] A.ISE

[9] B.ModelSim

[9] C.Quartus?II

[9] D.Synplify

[10] 题型.填空题

[10] 题干.设计过程中的仿真包括行为仿真、功能仿真、() 三种

[10] 难易度.中

[10] 选项数.1

[10] A.时序仿真

[11] 题型.单选题

[11] 题干.在 VHDL 中, () 的数据传输是立即发生的, 不存在任何延时的行为

[11] 正确答案.D

[11] 难易度.易

[11] 选项数.4

[11] A.信号

[11] B.常量

[11] C.数据

[11] D.变量

[12] 题型.单选题

[12] 题干.使用 ASIC 硬件来实现第三层的路由和转发, 并能实现网络控制能力的设备是 ()

[12] 正确答案.D

[12] 难易度.中

[12] 选项数.4

[12] A.3COM 的 FastIP

[12] B.Ipsilon 的 IPSwitching

[12] C.CISCO 的 NetFlow

[12] D.3COM 的 FIRE

[13] 题型.判断题

[13] 题干.功能仿真是对综合后的网表进行的仿真, 它验证设计模块的基本逻辑功能, 但不带有布局布线后产生的时序信息, 是理想情况下的验证。

[13] 正确答案.A

[13] 难易度.易

[13] 选项数.2

[13] A.正确

[13] B.错误

[14] 题型.名词解释

[14] 题干.数字系统

- [14] 正确答案.A
- [14] 难易度.易
- [14] 选项数.1
- [14] A.数字系统指的是交互式的、以离散形式表示的具有存储、传输、信息处理能力的逻辑子系统的集合。
-

- [15] 题型.单选题
- [15] 题干.PLD (可编程逻辑器件) 属于 () 电路
- [15] 正确答案.C
- [15] 难易度.易
- [15] 选项数.4
- [15] A.非用户定制
- [15] B.全用户定制
- [15] C.半用户定制
- [15] D.自动生成
-

- [16] 题型.判断题
- [16] 题干.高密度 PLD 中的等效门数一般超过 500 门
- [16] 正确答案.A
- [16] 难易度.中
- [16] 选项数.2
- [16] A.正确
- [16] B.错误
-

- [17] 题型.判断题
- [17] 题干.从互连结构上可将 PLD 分为确定型和统计型两类。确定型结构的代表是 CPLD，统计型结构代表是 FPGA
- [17] 正确答案.A
- [17] 难易度.易
- [17] 选项数.2

[17] A.正确

[17] B.错误

[18] 题型.判断题

[18] 题干.统计型结构 PLD 是指设计系统每次执行相同的功能，却能给出不同的布线模式，一般无法确切地预知线路的延时。这类器的典型代表是 FPGA 系列

[18] 正确答案.A

[18] 难易度.易

[18] 选项数.2

[18] A.正确

[18] B.错误

[19] 题型.判断题

[19] 题干.PROM 是可编程只读存储器

[19] 正确答案.A

[19] 难易度.易

[19] 选项数.2

[19] A.正确

[19] B.错误

[20] 题型.单选题

[20] 题干.PROM 是可编程只读存储器的缩写，它的内容（）

[20] 正确答案.A

[20] 难易度.中

[20] 选项数.4

[20] A.是用户用编程器一次性写入的，不能再改变

[20] B.可在紫外线灯的照射下擦除，反复多次地擦除和写入

[20] C.在写入新的内容时，原来的内容会自动清除，允许反复多次

写入

[20] D.在其制造过程中确定, 不允许再改变

[21] 题型.判断题

[21] 题干.CPLD 是基于查找表结构的可编程逻辑器件

[21] 正确答案.B

[21] 难易度.中

[21] 选项数.2

[21] A.正确

[21] B.错误

[23] 题型.判断题

[23] 题干.高密度可编程逻辑器件 (HDPLD)主要包括 CPLD 和 FPGA,它们的逻辑规模都比较大, 能够实现一些复杂的数字系统功能

[23] 正确答案.A

[23] 难易度.易

[23] 选项数.2

[23] A.正确

[23] B.错误

[24] 题型.单选题

[24] 题干.ISP 是 () 技术的简称

[24] 正确答案.A

[24] 难易度.易

[24] 选项数.4

[24] A.在线编程

[24] B.在线仿真

[24] C.断点运行

[24] D.单步运行

[25] 题型.判断题

[25] 题干.ISP 技术：不用从系统上取下 PLD 芯片，就可进行在线编程的技术

[25] 正确答案.A

[25] 难易度.易

[25] 选项数.2

[25] A.正确

[25] B.错误

[26] 题型.判断题

[26] 题干.FPGA 是现场可编程门阵列，属于低密度可编程器件

[26] 正确答案.B

[26] 难易度.易

[26] 选项数.2

[26] A.正确

[26] B.错误

[27] 题型.单选题

[27] 题干.大规模可编程器件主要有 FPGA、CPLD 两类，其中 CPLD 通过（）实现其逻辑功能

[27] 正确答案.A

[27] 难易度.中

[27] 选项数.4

[27] A.可编程乘积项逻辑

[27] B.查找表（LUT）

[27] C.输入缓冲

[27] D.输出缓冲

[28] 题型.判断题

[28] 题干.MachXO 系列非易失性无限重构可编程逻辑器件 (PLD) 是专门为传统的用 CPLD 或低密度的 FPGA 实现的应用而设计的。

[28] 正确答案.A

[28] 难易度.易

[28] 选项数.2

[28] A.正确

[28] B.错误

[29] 题型.填空题

[29] 题干.高密度可编程逻辑器件 (HDPLD)主要包括 CPLD 和 () , 它们的逻辑规模都比较大, 能够实现一些复杂的数字系统功能

[29] 难易度.中

[29] 选项数.1

[29] A.FPGA

[30] 题型.判断题

[30] 题干.CPLD 器件系列主要有 FLASHlogic 系列、Classic 系列和 MAX 系列

[30] 正确答案.A

[30] 难易度.易

[30] 选项数.2

[30] A.正确

[30] B.错误

[31] 题型.判断题

[31] 题干.CPLD 是由简单 PLD 的结构演变而来的

[31] 正确答案.A

[31] 难易度.中

[31] 选项数.2

[31] A.正确

[31] B.错误

[32] 题型.单选题

[32] 题干.CPLD 的可编程是主要基于什么结构 ()

[32] 正确答案.D

[32] 难易度.中

[32] 选项数.4

[32] A.查找表 (LUT)

[32] B.ROM 可编程

[32] C.PAL 可编程

[32] D.与或阵列可编程

[33] 题型.单选题

[33] 题干.下列哪个 FPGA/CPLD 设计流程是正确的

[33] 正确答案.A

[33] 难易度.中

[33] 选项数.4

[33] A.原理图/HDL 文本输入->功能仿真->综合->适配->编程下载->硬件测试

[33] B.原理图/HDL 文本输入->适配->综合->功能仿真->编程下载->硬件测试

[33] C.原理图/HDL 文本输入->功能仿真->综合->编程下载->适配->硬件测试

[33] D.原理图/HDL 文本输入->适配->功能仿真->综合->编程下载->硬件测试

[34] 题型.单选题

[34] 题干.CPLD 可编程逻辑基于的可编程结构基于 ()

[34] 正确答案.B

- [34] 难易度.易
 - [34] 选项数.4
 - [34] A.LUT 结构
 - [34] B.乘积项结构
 - [34] C.PLD
 - [34] D.都不对
-

- [35] 题型.判断题
 - [35] 题干.Arria 器件系列 FPGA 包括 ArriaGX 和 Arria II GX 器件
 - [35] 正确答案.A
 - [35] 难易度.易
 - [35] 选项数.2
 - [35] A.正确
 - [35] B.错误
-

- [37] 题型.名词解释
 - [37] 题干.VHID
 - [37] 正确答案.A
 - [37] 难易度.中
 - [37] 选项数.1
 - [37] A.VHDL 主要用于描述数字系统的结构、行为、功能和接口。VHDL 的语言形式和描述风格与句法十分类似于一般的计算机高级语言。
-

- [38] 题型.简答题
- [38] 题干.简述应用 VHDL 进行工程设计的优点
- [38] 正确答案.A
- [38] 难易度.难
- [38] 选项数.1

[38] A.(1)行为描述能力强；(2)VHDL 具有丰富的仿真语句和库函数；(3)具有支持大规模设计的分解和已有设计的再利用功能。(4)用 VHDL 完成一个确定的设计，可以利用 EDA 工具进行逻辑综合和优化，并自动把 VHDL 描述设计转变成门级网表；(5)VHDL 对设计的描述具有相对独立性。(6)改变设计的规模和结构灵活。

[39] 题型.填空题

[39] 题干.在 VHDL 程序中，实体和 () 是两个必须的基本部分

[39] 难易度.易

[39] 选项数.1

[39] A.结构体

[41] 题型.判断题

[41] 题干.VHDL 语言的程序中，注释使用--符号

[41] 正确答案.A

[41] 难易度.易

[41] 选项数.2

[41] A.正确

[41] B.错误

[42] 题型.判断题

[42] 题干.在 VHDL 的 IEEE 标准库中，预定义的标准逻辑数据类型 STD_LOGIC 有 9 种逻辑值

[42] 正确答案.A

[42] 难易度.易

[42] 选项数.2

[42] A.正确

[42] B.错误

[43] 题型.单选题

[43] 题干.在 VHDL 的 IEEE 标准库中, 预定义的标准逻辑位
STD_LOGIC 的数据类型中是用 () 表示的

[43] 正确答案.B

[43] 难易度.中

[43] 选项数.4

[43] A.小写字母和数字

[43] B.大写字母数字

[43] C.大或小写字母和数字

[43] D.全部是数字

[44] 题型.单选题

[44] 题干.以下语句中 () 是分支结构语句

[44] 正确答案.C

[44] 难易度.中

[44] 选项数.4

[44] A.scan?endscan

[44] B.for?endfor

[44] C.if?endif

[44] D.dowhile?enddo

[45] 题型.单选题

[45] 题干.下面结构体的定义语句中, 错误的是

[45] 正确答案.B

[45] 难易度.中

[45] 选项数.4

[45] A.struct ord int x;int y;int z;;struct ord a;

[45] B.struct ord int x;int y;int z; struct ord a;

[45] C.struct ord int x;int y;int z; a;

[45] D.struct int x;int y;int z;a;

[47] 题型.填空题

[47] 题干.VHDL 文字主要包括数值和 ()。数值型文字主要有数字型、字符串型、位串型

[47] 难易度.易

[47] 选项数.1

[47] A.标识符

[48] 题型.单选题

[48] 题干.VHDL 常用的库是 ()

[48] 正确答案.A

[48] 难易度.易

[48] 选项数.4

[48] A.IEEE

[48] B.STD

[48] C.WORK

[48] D.PACKAGE

[49] 题型.判断题

[49] 题干.标识符用来定义常数、变量、信号、端口、子程序或参数的名字

[49] 正确答案.A

[49] 难易度.中

[49] 选项数.2

[49] A.正确

[49] B.错误

[50] 题型.判断题

[50] 题干.VHDL 的基本标识符就是以英文字母开头，不连续使用

下划线 “_”

[50] 正确答案.A

[50] 难易度.易

[50] 选项数.2

[50] A.正确

[50] B.错误

[51] 题型.判断题

[51] 题干.VHDL 是一种强类型语言，要求设计实体中的每一个常数、信号、变量、函数以及设定的各种参量都必须具有确定的数据类型，并且只有数据类型相同的量才能互相传递和作用。

[51] 正确答案.A

[51] 难易度.易

[51] 选项数.2

[51] A.正确

[51] B.错误

[53] 题型.判断题

[53] 题干.逻辑运算符和关系运算符的操作数都只能是布尔型数据，结果也是布尔型数据

[53] 正确答案.B

[53] 难易度.易

[53] 选项数.2

[53] A.正确

[53] B.错误

[54] 题型.单选题

[54] 题干.在 VHDL 语言描述中。定义数据类型通常采用的关键词是 ()

[54] 正确答案.C

[54] 难易度.中

[54] 选项数.4

[54] A.signal

[54] B.variable

[54] C.type

[54] D.set

[55] 题型.判断题

[55] 题干.位矢量只是基于 BIT 数据类型的数组

[55] 正确答案.A

[55] 难易度.易

[55] 选项数.2

[55] A.正确

[55] B.错误

[56] 题型.判断题

[56] 题干.使用位矢量必须注明位宽, 即数组中的元素个数和排列

[56] 正确答案.A

[56] 难易度.易

[56] 选项数.2

[56] A.正确

[56] B.错误

[57] 题型.填空题

[57] 题干. () 是 VHDL 中唯一的预定义物理类型

[57] 难易度.易

[57] 选项数.1

[57] A.时间

[58] 题型.判断题

[58] 题干.由于 VHDL 是一种强类型语言，不同类型的数据在相互操作时，需要进行数据类型转换

[58] 正确答案.A

[58] 难易度.中

[58] 选项数.2

[58] A.正确

[58] B.错误

[59] 题型.判断题

[59] 题干.类型转换函数的作用就是将一种属于某种数据类型的数据对象转换成属于另一种数据类型的数据对象

[59] 正确答案.A

[59] 难易度.易

[59] 选项数.2

[59] A.正确

[59] B.错误

[60] 题型.单选题

[60] 题干.下列数据类型转换，必须进行强制类型转换的是（ ）

[60] 正确答案.D

[60] 难易度.易

[60] 选项数.4

[60] A.byte→int

[60] B.short→long

[60] C.float→double

[60] D.int→char

[61] 题型.简答题

[61] 题干.VHDL 操作符有哪几种类型

- [61] 正确答案.A
[61] 难易度.中
[61] 选项数.1
[61] A.①逻辑操作符②关系操作符③算术操作符④符号操作符
-

- [62] 题型.判断题
[62] 题干.逻辑运算符的优先级别高于算术运算符
[62] 正确答案.B
[62] 难易度.易
[62] 选项数.2
[62] A.正确
[62] B.错误
-

- [63] 题型.单选题
[63] 题干.下面 () 运算符是算术运算符
[63] 正确答案.A
[63] 难易度.中
[63] 选项数.4
[63] A.Mod
[63] B.Like
[63] C.And
[63] D.Not
-

- [64] 题型.判断题
[64] 题干.求和操作包括加法操作 (+)、减法操作 (-)和并置操作 (&)三种
[64] 正确答案.A
[64] 难易度.易
[64] 选项数.2

[64] A.正确

[64] B.错误

[65] 题型.判断题

[65] 题干.顺序语句和并行语句是 VHDL 程序设计中两大基本描述语句系列

[65] 正确答案.A

[65] 难易度.易

[65] 选项数.2

[65] A.正确

[65] B.错误

[66] 题型.判断题

[66] 题干.顺序语句是相对于并行语句而言的，其特点是每一条顺序语句的执行（指仿真执行）顺序是与它们的书写顺序基本一致

[66] 正确答案.A

[66] 难易度.中

[66] 选项数.2

[66] A.正确

[66] B.错误

[67] 题型.单选题

[67] 题干.进程中的信号赋值语句，其信号更新是（）

[67] 正确答案.C

[67] 难易度.中

[67] 选项数.4

[67] A.按顺序完成

[67] B.比变量更快完成

[67] C.在进程的最后完成

[67] D.都不对

[68] 题型.判断题

[68] 题干.赋值语句的功能就是将一个值或一个表达式的运算结果传递给某一数据对象，如信号或变量，或由此组成的数组

[68] 正确答案.A

[68] 难易度.易

[68] 选项数.2

[68] A.正确

[68] B.错误

[69] 题型.判断题

[69] 题干.信号赋值语句具有全局性特征，赋值发生在一个进程结束时，综合后可以找到与信号对应的硬件结构。

[69] 正确答案.A

[69] 难易度.易

[69] 选项数.2

[69] A.正确

[69] B.错误

[70] 题型.简答题

[70] 题干.转向控制语句共有哪五种

[70] 正确答案.A

[70] 难易度.中

[70] 选项数.1

[70] A. IF 条件语句、CASE 选择语句、LOOP 循环语句、NENT 语句和 EXIT 语句。

[71] 题型.判断题

[71] 题干. IF 语句是一种条件语句

[71] 正确答案.A

[71] 难易度.易

[71] 选项数.2

[71] A.正确

[71] B.错误

[72] 题型.判断题

[72] 题干.我们可以用“For Next”和“Do Loop”语句来实现循环结构,循环结构中的“循环体语句块”至少运行一次

[72] 正确答案.B

[72] 难易度.易

[72] 选项数.2

[72] A.正确

[72] B.错误

[73] 题型.单选题

[73] 题干.要退出 Do Loop 循环,可使用的语句是 () 语句

[73] 正确答案.D

[73] 难易度.中

[73] 选项数.4

[73] A.Exit

[73] B.Exit?For

[73] C.End?Do

[73] D.Exit?Do

[74] 题型.判断题

[74] 题干.在 VHDL 的 FOR_LOOP 语句中的循环变量是一个临时变量,属于 LOOP 语句的局部量,不必事先声明

[74] 正确答案.A

[74] 难易度.易

[74] 选项数.2

[74] A.正确

[74] B.错误

[75] 题型.判断题

[75] 题干.LOOP 语句属于顺序语句

[75] 正确答案.A

[75] 难易度.易

[75] 选项数.2

[75] A.正确

[75] B.错误

[76] 题型.判断题

[76] 题干.For...next 语句中的初值必须大于终值

[76] 正确答案.B

[76] 难易度.中

[76] 选项数.2

[76] A.正确

[76] B.错误

[77] 题型.判断题

[77] 题干.在 VHDL 中, 含 WAIT 语句的进程 PROCESS 的括弧中不能再加敏感信号, 否则则是非法的

[77] 正确答案.A

[77] 难易度.易

[77] 选项数.2

[77] A.正确

[77] B.错误

[78] 题型.判断题

[78] 题干.一般地, 只有 WAITUNTIL 格式的等待语句可以被综合

器接受（其余语句格式只能在 VHDL 仿真器中使用）。

[78] 正确答案.A

[78] 难易度.易

[78] 选项数.2

[78] A.正确

[78] B.错误

[79] 题型.单选题

[79] 题干.下面既是并行语句又是串行语句的是（）

[79] 正确答案.C

[79] 难易度.中

[79] 选项数.4

[79] A.变量赋值

[79] B.信号赋值

[79] C.PROCESS 语句

[79] D.WHEN...ELSE 语句

[80] 题型.单选题

[80] 题干.在 VHDL 的并行语句之前，可以用（）来传送往来信息

[80] 正确答案.C

[80] 难易度.易

[80] 选项数.4

[80] A.变量

[80] B.变量和信号

[80] C.信号

[80] D.常量

[81] 题型.填空题

[81] 题干.PROCESS 语句结构是由三个部分组成的，即进程说明部分、顺序描述语句部分和（）

- [81] 难易度.易
 - [81] 选项数.1
 - [81] A.敏感信号参数表
-

- [82] 题型.判断题
 - [82] 题干.PROCESS 语句属于并行语句
 - [82] 正确答案.A
 - [82] 难易度.易
 - [82] 选项数.2
 - [82] A.正确
 - [82] B.错误
-

- [83] 题型.单选题
 - [83] 题干.在 VHDL 语言中，下列对进程（PROCESS）语句的语句结构及语法规则的描述中，不正确的是（）
 - [83] 正确答案.D
 - [83] 难易度.中
 - [83] 选项数.4
 - [83] A.PROCESS 为一无限循环语句
 - [83] B.敏感信号发生更新时启动进程，执行完成后，等待下一次进程启动
 - [83] C.当前进程中声明的变量不可用于其他进程
 - [83] D.进程由说明语句部分、并行语句部分和敏感信号参数表三部分组成
-

- [84] 题型.名词解释
- [84] 题干.块语句
- [84] 正确答案.A
- [84] 难易度.中
- [84] 选项数.1

[84] A.块 (BLOCK)语句是一种将结构体中的并行描述语句进行组合的方法, 它的主要目的是改善并行语句及其结构的可读性, 或是利用 BLOCK 的保护表达式关闭某些信号

[85] 题型.判断题

[85] 题干.在结构体中的条件信号赋值语句的功能与在进程中的 IF 语句相同

[85] 正确答案.A

[85] 难易度.中

[85] 选项数.2

[85] A.正确

[85] B.错误

[86] 题型.名词解释

[86] 题干.元件例化

[86] 正确答案.A

[86] 难易度.中

[86] 选项数.1

[86] A.元件例化就是将预先设计好的设计实体定义为一个元件, 然后利用特定的语句将此元件与当前的设计实体中的指定端口相连接, 从而为当前设计实体引入一个新的低一级的设计层次。

[87] 题型.判断题

[87] 题干.元件例化根据例化语句中所定义的例化元件端口名和当前系统的连接实体端口名的接口表达方式来说, 有两种方式: 1) 名字关联方式 2) 位置关联方式

[87] 正确答案.A

[87] 难易度.易

[87] 选项数.2

[87] A.正确

[87] B.错误

[88] 题型.判断题

[88] 题干.在位置关联方式的例化语句中，表达式的位置可以互换

[88] 正确答案.B

[88] 难易度.易

[88] 选项数.2

[88] A.正确

[88] B.错误

[89] 题型.判断题

[89] 题干.为了方便书写程序，元件例化名可以省略

[89] 正确答案.B

[89] 难易度.易

[89] 选项数.2

[89] A.正确

[89] B.错误

[90] 题型.判断题

[90] 题干.生成语句可以简化为有规则设计结构的逻辑描述

[90] 正确答案.A

[90] 难易度.易

[90] 选项数.2

[90] A.正确

[90] B.错误

[91] 题型.单选题

[91] 题干.重载函数是（）

[91] 正确答案.A

- [91] 难易度.中
- [91] 选项数.4
- [91] A.以函数参数来区分, 而不用函数的返回值来区分不同的函数
- [91] B.以函数的返回值来区分, 而不用函数参数来区分不同的函数
- [91] C.参数表完全相同而返回值类型不同的两个或多个同名函数
- [91] D.参数表和返回值类型都必须是不同的两个或多个同名函数
-

- [92] 题型.判断题
- [92] 题干.VHDL 允许以相同的函数名定义函数, 即重载函数
- [92] 正确答案.A
- [92] 难易度.易
- [92] 选项数.2
- [92] A.正确
- [92] B.错误
-

- [93] 题型.名词解释
- [93] 题干.称为行为描述
- [93] 正确答案.A
- [93] 难易度.中
- [93] 选项数.1
- [93] A.如果 VHDL 的结构体只描述了所希望电路的功能 (或者说电路行为), 而没有直接指明或涉及实现这些行为的硬件结构, 则称为行为描述。
-

- [94] 题型.判断题
- [94] 题干.行为描述只表示输入与输出间转换的行为, 它不包含任何结构信息
- [94] 正确答案.A
- [94] 难易度.中
- [94] 选项数.2

[94] A.正确

[94] B.错误

[95] 题型.判断题

[95] 题干.行为描述主要使用函数、过程和进程语句，以算法形式描述数据的变换和传送。

[95] 正确答案.A

[95] 难易度.易

[95] 选项数.2

[95] A.正确

[95] B.错误

[96] 题型.判断题

[96] 题干.利用结构描述可以用不同类型的结构米完成多层次的工程，即从简单的门到非常复杂的元件（包括各种已完成的设计实体子模块）来描述整个系统。

[96] 正确答案.A

[96] 难易度.易

[96] 选项数.2

[96] A.正确

[96] B.错误

[97] 题型.判断题

[97] 题干.译码器能将具有特定含义的不同二进制码辨别出来，并转换成控制信号，译码器可作数据分配器使用

[97] 正确答案.A

[97] 难易度.易

[97] 选项数.2

[97] A.正确

[97] B.错误

[98] 题型.单选题

[98] 题干.指令译码器是对()进行译码

[98] 正确答案.B

[98] 难易度.中

[98] 选项数.4

[98] A.整条指令

[98] B.指令的操作码字段

[98] C.指令的地址

[98] D.指令的操作数字段

[99] 题型.判断题

[99] 题干.8 线—3 线优先编码器的输入为 I₀—I₇，当优先级别最高的 I₇ 有效时，其输出值是 0

[99] 正确答案.A

[99] 难易度.中

[99] 选项数.2

[99] A.正确

[99] B.错误

[101] 题型.判断题

[101] 题干.时序逻辑电路分为同步时序逻辑电路和异步时序逻辑电路两种

[101] 正确答案.A

[101] 难易度.易

[101] 选项数.2

[101] A.正确

[101] B.错误

- [102] 题型.单选题
- [102] 题干.下列逻辑电路中为时序逻辑电路的是 ()
- [102] 正确答案.C
- [102] 难易度.中
- [102] 选项数.4
- [102] A.变量译码器
- [102] B.加法器
- [102] C.数码寄存器
- [102] D.数据选择器
-

- [103] 题型.单选题
- [103] 题干.下列逻辑电路中不是时序逻辑电路的有 ()
- [103] 正确答案.A
- [103] 难易度.易
- [103] 选项数.4
- [103] A.译码器
- [103] B.加计数器
- [103] C.减计数器
- [103] D.寄存器
-

- [104] 题型.判断题
- [104] 题干.组合逻辑门电路设有记忆功能, 如编码器, 时序逻辑门牌号电路, 具备记忆功能, 如触发器
- [104] 正确答案.A
- [104] 难易度.易
- [104] 选项数.2
- [104] A.正确
- [104] B.错误
-

- [105] 题型.单选题
- [105] 题干.编码器的逻辑功能是 ()
- [105] 正确答案.B
- [105] 难易度.中
- [105] 选项数.4
- [105] A.把某种二进制代码转换成某种输出状态
- [105] B.把某种状态转换成相应的二进制代码
- [105] C.把二进制数转成十进制数
- [105] D.把十进制数转成二进制数
-

- [106] 题型.判断题
- [106] 题干.触发器进行复位后, 其两个输出端均为 0
- [106] 正确答案.A
- [106] 难易度.易
- [106] 选项数.2
- [106] A.正确
- [106] B.错误
-

- [107] 题型.填空题
- [107] 题干.计数器可分为同步计数器和 ()
- [107] 难易度.易
- [107] 选项数.1
- [107] A.异步计数器
-

- [108] 题型.判断题
- [108] 题干.计数器是在数字系统中使用最多的时序电路
- [108] 正确答案.A
- [108] 难易度.易
- [108] 选项数.2

[108] A.正确

[108] B.错误

[109] 题型.判断题

[109] 题干.十进制计数器是用十进制数码“0~9”进行计数的

[109] 正确答案.B

[109] 难易度.易

[109] 选项数.2

[109] A.正确

[109] B.错误

[110] 题型.单选题

[110] 题干.以下关于二进制计数器和十进制计数器的区别说法不正确的是 ()

[110] 正确答案.C

[110] 难易度.中

[110] 选项数.4

[110] A.二进制计数器是以逢二进一累计计数

[110] B.十进制计数器是以逢十进一累计计数

[110] C.十进制计数器可以像二进制计数器那样翻转

[110] D.十进制计数器可以向高一位进位

[111] 题型.判断题

[111] 题干.把一个5进制计数器与一个10进制计数器串联可得到15进制计数器

[111] 正确答案.B

[111] 难易度.中

[111] 选项数.2

[111] A.正确

[111] B.错误

[112] 题型.单选题

[112] 题干.同步计数器和异步计数器比较, 同步计数器的显著优点是 ()

[112] 正确答案.A

[112] 难易度.中

[112] 选项数.4

[112] A.工作速度高

[112] B.触发器利用率高

[112] C.电路简单

[112] D.不受时钟 CP 控制

[113] 题型.判断题

[113] 题干.把一个五进制计数器与一个四进制计数器串联最大可得到 20 进制计数器。

[113] 正确答案.A

[113] 难易度.易

[113] 选项数.2

[113] A.正确

[113] B.错误

[114] 题型.判断题

[114] 题干.异步计数器的工作速度比同步计数器的速度要高

[114] 正确答案.B

[114] 难易度.易

[114] 选项数.2

[114] A.正确

[114] B.错误

[115] 题型.判断题

[115] 题干.所谓分频电路,就是将一个给定的频率较高的数字输入信号,经过适当的处理后,产生一个或数个频率较低的数字输出信号

[115] 正确答案.A

[115] 难易度.易

[115] 选项数.2

[115] A.正确

[115] B.错误

[116] 题型.判断题

[116] 题干.计数器和分频器是按照用途不同而取名的同一电路。用作计数时称为计数器;用作分频时称为分频器

[116] 正确答案.A

[116] 难易度.易

[116] 选项数.2

[116] A.正确

[116] B.错误

[117] 题型.判断题

[117] 题干.低信号发生器输出信号的频率范围一般在 0~20Hz

[117] 正确答案.B

[117] 难易度.易

[117] 选项数.2

[117] A.正确

[117] B.错误

[118] 题型.名词解释

[118] 题干.序列信号发生器

[118] 正确答案.A

[118] 难易度.中

[118] 选项数.1

[118] A.在数字信号的传输和数字系统的测试中,有时需要用到一组特定的串行数字信号。产生序列信号的电路称为序列信号发生器。

[119] 题型.判断题

[119] 题干.高频信号发生器与低频信号发生器的主振级所采用的振荡电路不同

[119] 正确答案.A

[119] 难易度.易

[119] 选项数.2

[119] A.正确

[119] B.错误

[120] 题型.判断题

[120] 题干.EDA 的中文含义是计算机辅助计算

[120] 正确答案.B

[120] 难易度.易

[120] 选项数.2

[120] A.正确

[120] B.错误

[121] 题型.判断题

[121] 题干.EDA 是计算机辅助测试的英文简称

[121] 正确答案.B

[121] 难易度.中

[121] 选项数.2

[121] A.正确

[121] B.错误

[122] 题型.判断题

[122] 题干.在 EDA 中, ISP 的中文含义是在系统编程

[122] 正确答案.A

[122] 难易度.易

[122] 选项数.2

[122] A.正确

[122] B.错误

[124] 题型.单选题

[124] 题干.在 EDA 工具中, 能完成在目标系统器件上布局布线软件称为 ()

[124] 正确答案.C

[124] 难易度.易

[124] 选项数.4

[124] A.仿真器

[124] B.综合器

[124] C.适配器

[124] D.下载器

[125] 题型.判断题

[125] 题干.一般把 EDA 技术的发展分为 MOS 时代、MOS 时代、ASIC 三个阶段

[125] 正确答案.A

[125] 难易度.易

[125] 选项数.2

[125] A.正确

[125] B.错误

[126] 题型.单选题

[126] 题干.IP 核在 EDA 技术和开发中具有十分重要的地位, IP 是指 ()

[126] 正确答案.A

[126] 难易度.易

[126] 选项数.4

[126] A.知识产权

[126] B.互联网协议

[126] C.网络地址

[126] D.都不是

[127] 题型.判断题

[127] 题干.在 EDA 工具中, 能将硬件描述语言转换为硬件电路的重要工具软件称为下载器

[127] 正确答案.A

[127] 难易度.易

[127] 选项数.2

[127] A.正确

[127] B.错误

[128] 题型.判断题

[128] 题干.只读存储器在正常工作时从中读取数据, 不能快速地修改或重新写入数, 适用于有储固定数据的场合

[128] 正确答案.A

[128] 难易度.易

[128] 选项数.2

[128] A.正确

[128] B.错误

[129] 题型.判断题
[129] 题干.计算机内存储器分为随机存储器和只读存储器
[129] 正确答案.A
[129] 难易度.易
[129] 选项数.2
[129] A.正确
[129] B.错误

[130] 题型.单选题
[130] 题干.只读存储器的英文缩写是 ()
[130] 正确答案.A
[130] 难易度.易
[130] 选项数.4
[130] A.ROM
[130] B.RAM
[130] C.ROM 和 RAM
[130] D.CPU

[131] 题型.判断题
[131] 题干.数字接线器由只读存储器 ROM 组成
[131] 正确答案.B
[131] 难易度.易
[131] 选项数.2
[131] A.正确
[131] B.错误

[132] 题型.单选题
[132] 题干.只读存储器 ROM 在运行时具有 () 功能
[132] 正确答案.A
[132] 难易度.中

- [132] 选项数.4
 - [132] A.读/无写
 - [132] B.无读/写
 - [132] C.读/写
 - [132] D.无读/无写
-

[133] 题型.判断题

[133] 题干.只读存储器 ROM 中的内容, 当电源断掉后又接通, 存储器中的内容保持不变

- [133] 正确答案.A
 - [133] 难易度.易
 - [133] 选项数.2
 - [133] A.正确
 - [133] B.错误
-

[134] 题型.单选题

[134] 题干.下列有关存储器读写速度排列正确的是 ()

- [134] 正确答案.B
 - [134] 难易度.中
 - [134] 选项数.4
 - [134] A.RAM>Cache>硬盘
 - [134] B.Cache>RAM>硬盘
 - [134] C.Cache>硬盘>RAM
 - [134] D.RAM>硬盘>Cache
-

[135] 题型.判断题

[135] 题干.VHDL 程序中是区分大小写的

- [135] 正确答案.B
- [135] 难易度.易
- [135] 选项数.2

[135] A.正确

[135] B.错误

[136] 题型.判断题

[136] 题干.VHDL 程序中的实体部分是对元件和外部电路之间的接口进行的描述，可以看成是定义元件的引脚

[136] 正确答案.A

[136] 难易度.中

[136] 选项数.2

[136] A.正确

[136] B.错误

[137] 题型.单选题

[137] 题干.关于 VHDL 数据类型，正确的是（）

[137] 正确答案.D

[137] 难易度.中

[137] 选项数.4

[137] A.数据类型不同不能进行运算

[137] B.数据类型相同才能进行运算

[137] C.数据类型相同或相符就可以运算

[137] D.运算与数据类型无关

[138] 题型.判断题

[138] 题干.VHDL 语言中变量定义的位置是实体中任何位置

[138] 正确答案.B

[138] 难易度.易

[138] 选项数.2

[138] A.正确

[138] B.错误

- [139] 题型.单选题
- [139] 题干.MAXPLUSII 中编译 VHDL 源程序时要求 ()
- [139] 正确答案.C
- [139] 难易度.中
- [139] 选项数.4
- [139] A.文件名和实体可不同名
- [139] B.文件名和实体名无关
- [139] C.文件名和实体名要相同
- [139] D.不确定
-

- [140] 题型.判断题
- [140] 题干.1987 标准的 VHDL 语言对大小写是只能用小写
- [140] 正确答案.B
- [140] 难易度.易
- [140] 选项数.2
- [140] A.正确
- [140] B.错误
-

- [141] 题型.判断题
- [141] 题干.EDA 软件随着功能越来越多, 性能越来越好, 相应地对计算机硬件配置的要求也越来越高
- [141] 正确答案.A
- [141] 难易度.易
- [141] 选项数.2
- [141] A.正确
- [141] B.错误
-

- [142] 题型.判断题
- [142] 题干.在 VHDL 语言中, 不同类型的数据是可以进行运算和直接代入

[142] 正确答案.B

[142] 难易度.易

[142] 选项数.2

[142] A.正确

[142] B.错误

[143] 题型.判断题

[143] 题干.EDA 仿真测试程序就是通过以文本编程的方式给被测试的设计实体提供输入信号，一般包括两个部分：①根据测试的各种要求给输入信号进行赋值：②通过元件例化语句建立与测试平台内输入信号和输出信号的映射关系。

[143] 正确答案.A

[143] 难易度.易

[143] 选项数.2

[143] A.正确

[143] B.错误

[144] 题型.单选题

[144] 题干.Quartus II是（）

[144] 正确答案.C

[144] 难易度.易

[144] 选项数.4

[144] A.高级语言

[144] B.硬件描述语言

[144] C.EDA 工具软件

[144] D.综合软件

[145] 题型.简答题

[145] 题干.编程下载及验证步骤

[145] 正确答案.A

[145] 难度度.中
[145] 选项数.1
[145] A.①编程下载硬件准备②打开编程器窗口：③建立被动串行配置链：④器件编程下载。

[146] 题型.判断题
[146] 题干.EDA 时序仿真器就是接近真实器件运行特性的仿真
[146] 正确答案.A
[146] 难度度.中
[146] 选项数.2
[146] A.正确
[146] B.错误

[147] 题型.单选题
[147] 题干.一个项目的输入输出端口是定义在（）
[147] 正确答案.A
[147] 难度度.易
[147] 选项数.4
[147] A.实体中
[147] B.结构体中
[147] C.任何位置
[147] D.进程中

[148] 题型.单选题
[148] 题干.QuartusII 中编译 VHDL 源程序时要求()
[148] 正确答案.C
[148] 难度度.中
[148] 选项数.4
[148] A.文件名和实体可以不同名
[148] B.文件名和实体名无关

[148] C.文件名和实体名要相同

[148] D.不确定

[149] 题型.单选题

[149] 题干.VHDL 语言中变量定义的位置是()

[149] 正确答案.D

[149] 难易度.中

[149] 选项数.4

[149] A.实体中任何位置

[149] B.实体中特定位置

[149] C.结构体中任何位置

[149] D.结构体中特定位置

[150] 题型.单选题

[150] 题干.可以不必声明而直接引用的数据类型是 ()

[150] 正确答案.C

[150] 难易度.易

[150] 选项数.4

[150] A.STD_LOGIC

[150] B.STD_LOGIC_VECTOR

[150] C.BIT

[150] D.ARRAY

[151] 题型.判断题

[151] 题干.1987 标准的 VHDL 语言对大小写是敏感的

[151] 正确答案.B

[151] 难易度.易

[151] 选项数.2

[151] A.正确

[151] B.错误

[152] 题型.判断题

[152] 题干.在过程中的信号赋值语句是并行语句

[152] 正确答案.A

[152] 难易度.易

[152] 选项数.2

[152] A.正确

[152] B.错误

[153] 题型.判断题

[153] 题干.标识符不可以为保留字

[153] 正确答案.A

[153] 难易度.易

[153] 选项数.2

[153] A.正确

[153] B.错误

[154] 题型.判断题

[154] 题干.带敏感参数列表的过程在敏感参数列表中的所有信号同时有事件发生时才被调用

[154] 正确答案.B

[154] 难易度.易

[154] 选项数.2

[154] A.正确

[154] B.错误

[155] 题型.单选题

[155] 题干.当一个实体对应于多个结构体时，如果没有配置语句，那么第一个对应于该实体的结构体都被用于仿真

[155] 正确答案.B

- [155] 难度度.中
[155] 选项数.4
[155] A.必须以英文字母开头
[155] B.可以使用汉字开头
[155] C.可以使用数字开头
[155] D.任何字符都可以
-

- [156] 题型.单选题
[156] 题干.关于 1987 标准的 VHDL 语言中, 标识符描述正确的是
[156] 正确答案.B
[156] 难度度.中
[156] 选项数.4
[156] A.下划线可以连用
[156] B.下划线不能连用
[156] C.不能使用下划线
[156] D.可以使用任何字符
-

- [157] 题型.判断题
[157] 题干.1987VHDL 标准的标识符是 A+2
[157] 正确答案.B
[157] 难度度.易
[157] 选项数.2
[157] A.正确
[157] B.错误
-

- [158] 题型.简答题
[158] 题干.根据 EDA 实验开发系统的基本功能, 其基本组成包括哪些
[158] 正确答案.A
[158] 难度度.中

[158] 选项数.1

[158] A.①实验开发所需的各类基本信号发生模块②CPLD/FPGA 输出信号驱动显示模块; ③监控程序模块; ④CPLD/FPGA 目标芯片、适配座以及编程下载电路; ⑤其他转换电路系统及各种扩展接口。

[160] 题型.单选题

[160] 题干.下面不属于顺序语句的是 ()

[160] 正确答案.C

[160] 难易度.中

[160] 选项数.4

[160] A.IF 语句

[160] B.LOOP 语句

[160] C.PROCESS 语句

[160] D.CASE 语句

[161] 题型.单选题

[161] 题干.VHDL 语言是一种结构化设计语言; 一个设计实体 (电路模块) 包括实体与结构体两部分, 实体体描述的是()

[161] 正确答案.A

[161] 难易度.中

[161] 选项数.4

[161] A.器件外部特性

[161] B.器件的内部功能

[161] C.器件的综合约束;

[161] D.器件外部特性与内部功能

[162] 题型.判断题

[162] 题干.If then else 和 case 语句是顺序语句, 只能存在于过程

和子程序中

[162] 正确答案.A

[162] 难易度.易

[162] 选项数.2

[162] A.正确

[162] B.错误

[163] 题型.单选题

[163] 题干.进程中的信号赋值语句，其信号更新是()

[163] 正确答案.C

[163] 难易度.中

[163] 选项数.4

[163] A.按顺序完成

[163] B.比变量更快完成

[163] C.在进程的最后完成

[163] D.都不对

[164] 题型.判断题

[164] 题干.对信号的赋值立刻发生没有延迟，而对变量的赋值有延迟

[164] 正确答案.B

[164] 难易度.易

[164] 选项数.2

[164] A.正确

[164] B.错误

[165] 题型.判断题

[165] 题干.可以用同步时序逻辑设计的方法忽略由组合逻辑电路产生的险象

[165] 正确答案.A

[165] 难度度.易

[165] 选项数.2

[165] A.正确

[165] B.错误

[166] 题型.判断题

[166] 题干.变量可以带出进程

[166] 正确答案.B

[166] 难度度.易

[166] 选项数.2

[166] A.正确

[166] B.错误

[167] 题型.判断题

[167] 题干.Moore 状态机的输出仅仅是当前状态的函数，而 Mealy 状态机的输出是当前状态和输入的函数

[167] 正确答案.A

[167] 难度度.中

[167] 选项数.2

[167] A.正确

[167] B.错误

[168] 题型.单选题

[168] 题干.变量和信号的描述正确的是

[168] 正确答案.A

[168] 难度度.中

[168] 选项数.4

[168] A.变量赋值号是:=

[168] B.信号赋值号是:=

[168] C.变量赋值号是<=

[168] D.以上均正确

[169] 题型.单选题

[169] 题干.变量和信号的描述正确的是

[169] 正确答案.B

[169] 难易度.中

[169] 选项数.4

[169] A.变量可以带出进程

[169] B.信号可以带出进程

[169] C.信号不能带出进程

[169] D.二者没有区别

[170] 题型.判断题

[170] 题干.VHDL 数据类型数据类型不同不能进行运算

[170] 正确答案.B

[170] 难易度.易

[170] 选项数.2

[170] A.正确

[170] B.错误

[171] 题型.单选题

[171] 题干.下面数据中属于实数的是

[171] 正确答案.A

[171] 难易度.易

[171] 选项数.4

[171] D.11011

[172] 题型.判断题

[172] 题干.当一个实体对应于多个结构体时, 如果没有配置语句,

那么第一个对应于该实体的结构体都被用于仿真

[172] 正确答案.B

[172] 难易度.易

[172] 选项数.2

[172] A.正确

[172] B.错误

[173] 题型.判断题

[173] 题干.If then else 和 case 语句是顺序语句，只能存在于过程和子程序中。

[173] 正确答案.A

[173] 难易度.易

[173] 选项数.2

[173] A.正确

[173] B.错误

[174] 题型.判断题

[174] 题干.信号不能在过程的声明区域定义

[174] 正确答案.A

[174] 难易度.易

[174] 选项数.2

[174] A.正确

[174] B.错误

[175] 题型.单选题

[175] 题干.请指出 AlteraCyclone 系列中的 EP1C6Q240C8 这个器件是属于()

[175] 正确答案.C

[175] 难易度.中

[175] 选项数.4

- [175] A.ROM
 - [175] B.CPLD
 - [175] C.FPGA
 - [175] D.GAL
-

- [176] 题型.判断题
 - [176] 题干.在结构体中的信号赋值语句是顺序语句
 - [176] 正确答案.B
 - [176] 难易度.易
 - [176] 选项数.2
 - [176] A.正确
 - [176] B.错误
-

- [177] 题型.判断题
 - [177] 题干.带敏感参数列表的过程在敏感参数列表中的任何一个信号有事件发生时被调用
 - [177] 正确答案.A
 - [177] 难易度.中
 - [177] 选项数.2
 - [177] A.正确
 - [177] B.错误
-

- [178] 题型.判断题
- [178] 题干.配置语句不仅可以将结构体配置给实体还可以将元件配置给实体
- [178] 正确答案.A
- [178] 难易度.易
- [178] 选项数.2
- [178] A.正确
- [178] B.错误

[179] 题型.单选题

[179] 题干.VHDL 语言中信号定义的位置是 ()

[179] 正确答案.D

[179] 难易度.中

[179] 选项数.4

[179] A.实体中任何位置

[179] B.实体中特定位置

[179] C.结构体中任何位置

[179] D.结构体中特定位置

[180] 题型.判断题

[180] 题干.If then else 和 case 语句是并行语句，只能存在于结构体和块语句中

[180] 正确答案.B

[180] 难易度.易

[180] 选项数.2

[180] A.正确

[180] B.错误

[181] 题型.判断题

[181] 题干.信号可以在过程语句的声明区域定义

[181] 正确答案.B

[181] 难易度.易

[181] 选项数.2

[181] A.正确

[181] B.错误

[182] 题型.判断题

[182] 题干.对变量的赋值立刻发生没有延迟，而对信号的赋值有延

迟

[182] 正确答案.A

[182] 难易度.易

[182] 选项数.2

[182] A.正确

[182] B.错误

[183] 题型.判断题

[183] 题干.进程可以返回多个参数，而函数只能返回一个参数

[183] 正确答案.A

[183] 难易度.易

[183] 选项数.2

[183] A.正确

[183] B.错误

[184] 题型.单选题

[184] 题干.描述项目具有逻辑功能的是（）

[184] 正确答案.B

[184] 难易度.易

[184] 选项数.4

[184] A.实体

[184] B.结构体

[184] C.配置

[184] D.进程

[185] 题型.单选题

[185] 题干.关键字 ARCHITECTURE 定义的是()

[185] 正确答案.A

[185] 难易度.易

[185] 选项数.4

[185] A.结构体

[185] B.进程

[185] C.实体

[185] D.配置

[186] 题型.判断题

[186] 题干.Moore 状态机的输出仅仅是当前状态的函数，而 Mealy 状态机的输出是当前状态和输入的函数

[186] 正确答案.A

[186] 难易度.中

[186] 选项数.2

[186] A.正确

[186] B.错误

[187] 题型.判断题

[187] 题干.结构体是模块与外界的接口，而实体则描述结构体的行为和功能

[187] 正确答案.B

[187] 难易度.易

[187] 选项数.2

[187] A.正确

[187] B.错误

[188] 题型.判断题

[188] 题干.标识符可由字母、数字和下划线组成，但是第一个字符必须是字母，并且连续两个及以上的下划线是不允许的

[188] 正确答案.A

[188] 难易度.易

[188] 选项数.2

[188] A.正确

[188] B.错误

[189] 题型.判断题

[189] 题干.在过程中的语句既可以是并行语句，也可以是顺序语句

[189] 正确答案.B

[189] 难易度.易

[189] 选项数.2

[189] A.正确

[189] B.错误

[190] 题型.单选题

[190] 题干.变量是局部量可以写在（）

[190] 正确答案.B

[190] 难易度.易

[190] 选项数.4

[190] A.实体中

[190] B.进程中

[190] C.线粒体

[190] D.种子体中

[191] 题型.判断题

[191] 题干.可以用同步时序逻辑设计的方法忽略由组合逻辑电路产生的险象

[191] 正确答案.A

[191] 难易度.易

[191] 选项数.2

[191] A.正确

[191] B.错误

[192] 题型.填空题

[192] 题干.在 EDA 中, ISP 的中文含义是 ()

[192] 难易度.易

[192] 选项数.1

[192] A.在系统编程

[193] 题型.单选题

[193] 题干.VHDL 语言共支持四种常用库, 其中哪种库是用户的 VHDL 设计现行工作库 ()

[193] 正确答案.D

[193] 难易度.中

[193] 选项数.4

[193] A.IEEE 库

[193] B.VITAL 库

[193] C.STD 库

[193] D.WORK 工作库

[194] 题型.单选题

[194] 题干.一个能为 VHDL 综合器接受, 并能作为一个独立的设计单元的完整的 VHDL 程序称为 ()

[194] 正确答案.C

[194] 难易度.易

[194] 选项数.4

[194] A.设计输入

[194] B.设计输出

[194] C.设计实体

[194] D.设计结构

[195] 题型.判断题

[195] 题干.VHDL 中的子程序包含函数和过程两种

[195] 正确答案.A

[195] 难易度.易

[195] 选项数.2

[195] A.正确

[195] B.错误

[198] 题型.判断题

[198] 题干.在 VHDL 的进程语句格式中, 敏感信号表列出的应当是设计电路的输入信号

[198] 正确答案.A

[198] 难易度.易

[198] 选项数.2

[198] A.正确

[198] B.错误

[199] 题型.判断题

[199] 题干.VHDL 是非常高速集成电路的硬件描述语言

[199] 正确答案.A

[199] 难易度.易

[199] 选项数.2

[199] A.正确

[199] B.错误
